

# 新材料とナノ構造制御

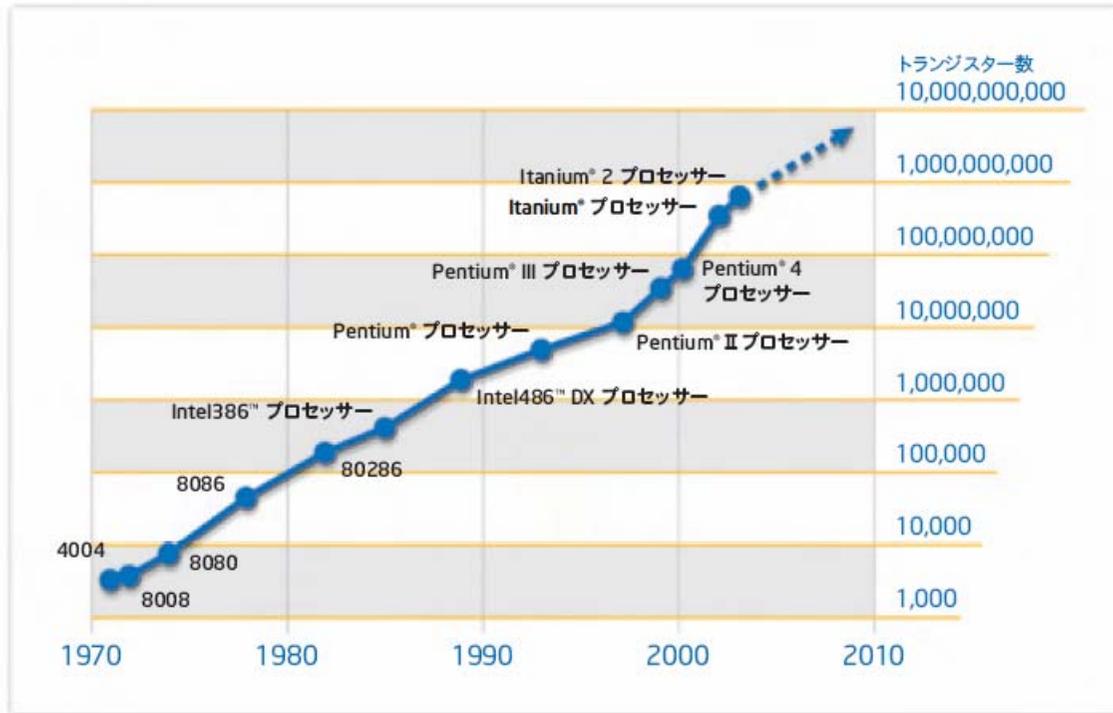
奈良先端科学技術大学院大学

物質創成科学研究科 内山 潔

# 半導体の世界は日進月歩(ドッグイヤー?)

10年ではなく1.5年で一昔!!

## ムーアの法則 (Moore's Law)



「トランジスターの集積度は、約2年で倍増する」という半導体技術の進歩に関する予測。インテル コーポレーション名誉会長のゴードン・ムーアが1965年に初めて学会で公表。

## マイクロプロセッサ(インテル)の変遷

年	集積度 (個)	クロック (MHz)	プロセス (μm)	型番
1971	2300	0.108	10	4004
1972	3500	0.2	10	8008
1974	6000	2	6	8080
1978	29000	10	3	8086
1982	134000	12.5	1.5	80286
1985	275000	33	1	Intel386
1989	1200000	50	1	Intel486
1993	3100000	66	0.8	Pentium
1995	5500000	200	0.35	Pentium PRO
1997	7500000	450	0.35	Pentium2
1999	9500000	500	0.25	Pentium3
2000	42000000	1400	0.13	Pentium4
2005	↑ ?	3800	0.09	↑

Intel JapanのHPより引用

# ブレークスルーを実現するためには

## 1. 微細化、ナノ構造化

小さいことはいいことだ!! →スケーリング則

## 2. 新材料

元素は92しかないが 組合せは無限

## 3. 表面/界面の利用

表面は本体(バルク)と違う

## 4. 複合化

異種材料をナノサイズで組み合わせると → 人工格子  
量子効果

## 5. 温故知新

昔のアイデアを最新の技術で

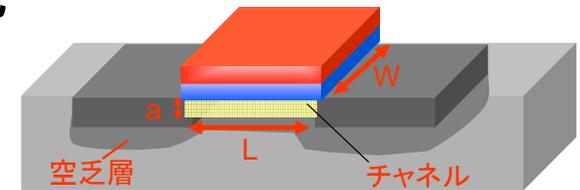
# 微細化-スケーリング則

集積化により

高性能化(高速動作、低消費電力etc)が実現

例)消費電力  $P = fC_L V_{DD}^2$   $C_L \approx C_G = LWC_{OX}$

遮断周波数  $f_T = \mu V_D / 2\pi L^2$



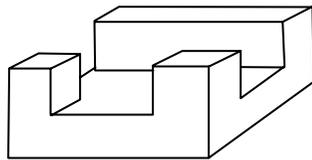
	スケール後		スケール後
寸法		FET数/面積	k <sup>2</sup>
L	1/k	電流	
W	1/k	ドレイン電流I <sub>D</sub>	1/k
電圧		消費電力	
V <sub>GS</sub> , V <sub>DD</sub>	1/k	FETあたり	1/k <sup>2</sup>
V <sub>TH</sub>	1	ゲートあたり	1/k <sup>3</sup> (1/k <sup>2</sup> )*
物理定数		単位面積あたり	1/k (1)*
μ	1	チップあたり	k (k <sup>2</sup> )*
K <sub>SiO2</sub>	1	遅延	
C <sub>ox</sub>	k	ゲートあたり	1/k

表: 黒木 幸令著「学びやすい集積回路工学」(昭晃堂)より

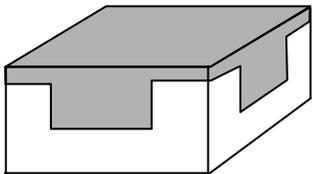
\*はクロックがk倍になったとき

# 新材料導入-Cu配線-

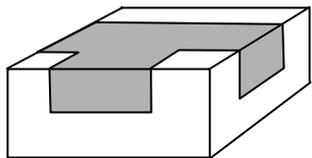
## ダマシンプロセス



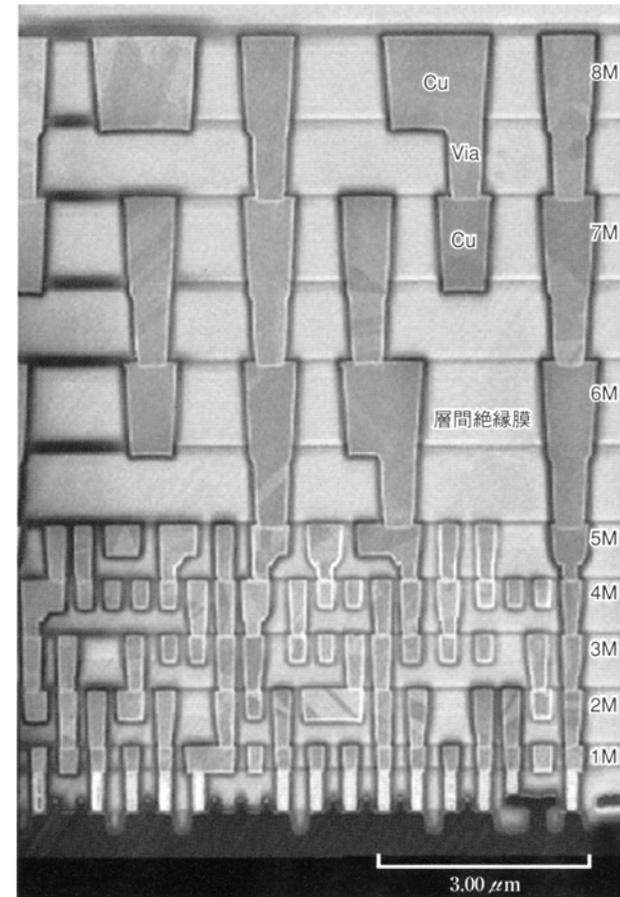
土台となるSi酸化物を  
エッチングする



Cuを埋め込む  
(スパッタ、メッキ)



CMP (Chemical  
Mechanical Polishing)  
で平坦化する

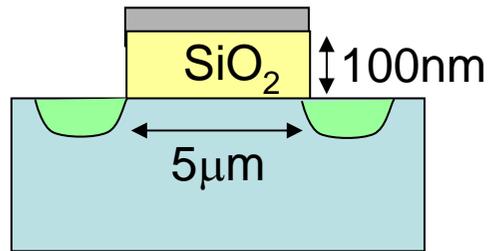


8層メタル構造

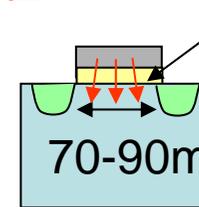
配線抵抗の低減には多層膜化(線幅に余裕)も有効

# 新材料導入ーゲート酸化膜ー

昔



現在



~1nm **限界!!**  
ゲートからの  
リーク電流発生

Butリーク回避のため酸化膜を厚くすると、..

$$C_G = \epsilon_0 \epsilon_r \frac{S}{d} \quad \text{より } C_G \text{ が低下} \rightarrow g_m \text{ 低下}$$

対策: 高誘電率 & 高絶縁性の材料を使う

SiO<sub>2</sub>    3~4

ZrO<sub>2</sub>

HfO<sub>2</sub>

La<sub>2</sub>O<sub>3</sub>

Al<sub>2</sub>O<sub>3</sub>

15~30

~10

ただし酸化物とSi界面に  
SiO<sub>2</sub>酸化膜が形成  
→界面が凸凹

ZrSi<sub>x</sub>O<sub>y</sub>

HfSi<sub>x</sub>O<sub>y</sub>

LaSi<sub>x</sub>O<sub>y</sub>

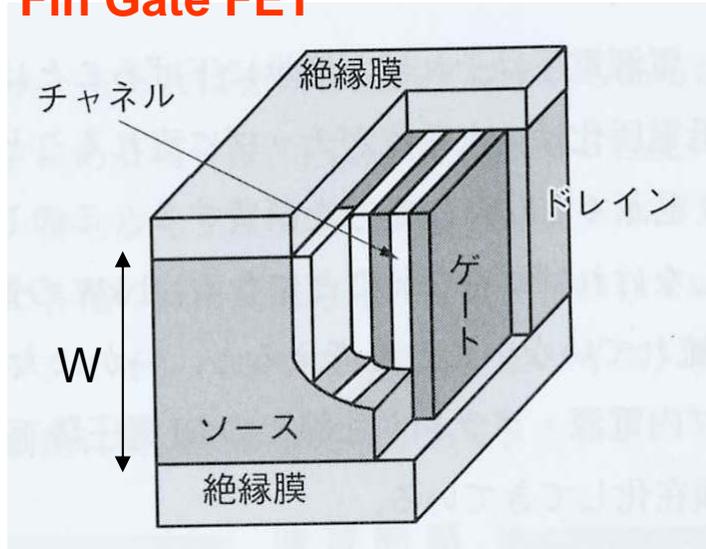
10~20

**EOT (Effective Oxide Thickness)**

SiO<sub>2</sub>の膜厚に換算した酸化物の膜厚を言う

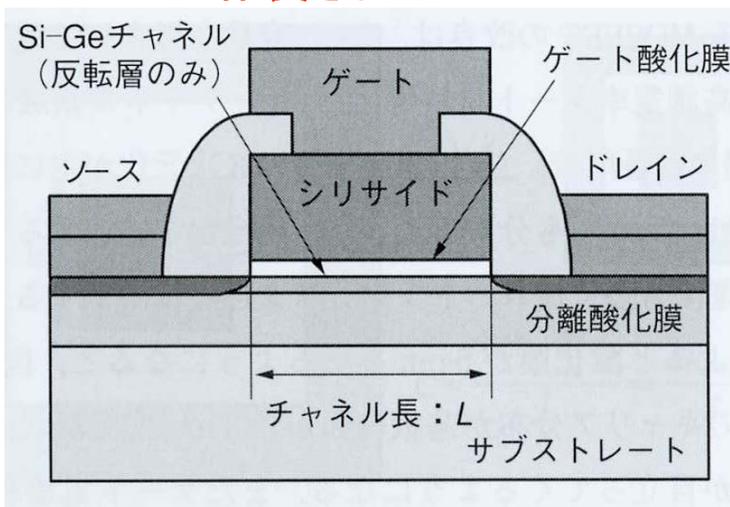
# ナノテクノロジー&複合化

## Fin Gate FET



微細化により  
キャリアが  
低電圧で飽和  
→ $I_D$ 抑制効果  
→ $W$ を大きくして  
 $g_m$ を確保  
 $g_m = W v_{sat} C_{ox}$

## SOI上に作製されたMOSFET



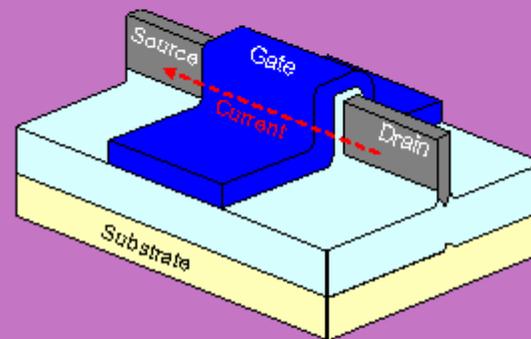
歪みSi  
→p型の特性向上  
(CMOS性能: 数10%up)

SOI  
→寄生容量低下  
&ドレイン-基板間の  
リーク抑制

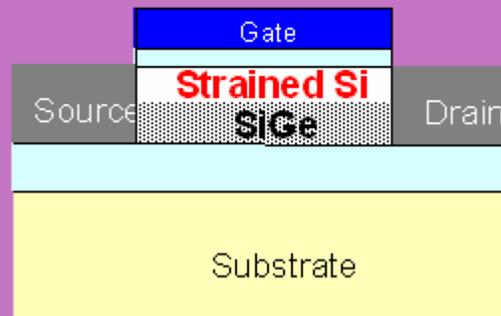
## MIRAIプロジェクト

“微細化限界をデバイステクノロジーで克服する”

Fin-FET(立体構造FET)

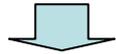


ひずみ Si MOSFET

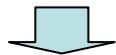


# 微細化 & 新材料 -DRAMキャパシター-

DRAM読出しに必要な電荷量は一定 (~25fC)



設計寸法が1/kになるとcap面積(投影)1/k<sup>2</sup>

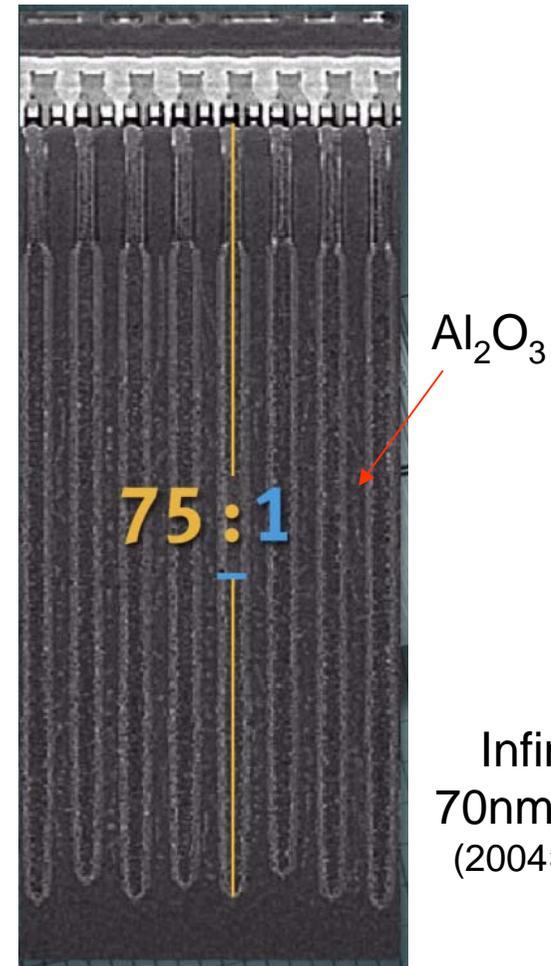
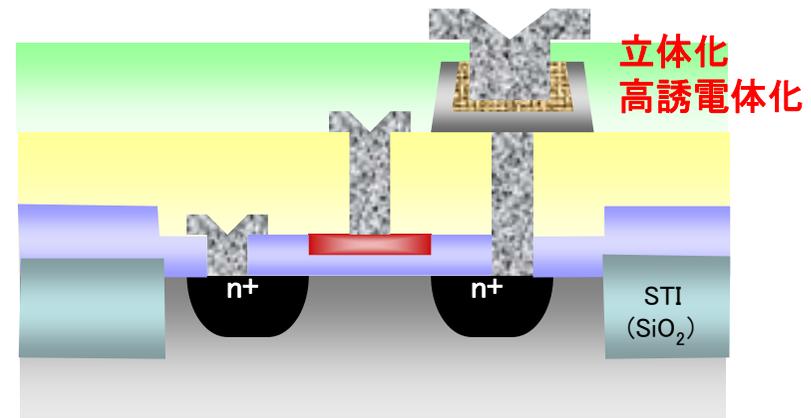
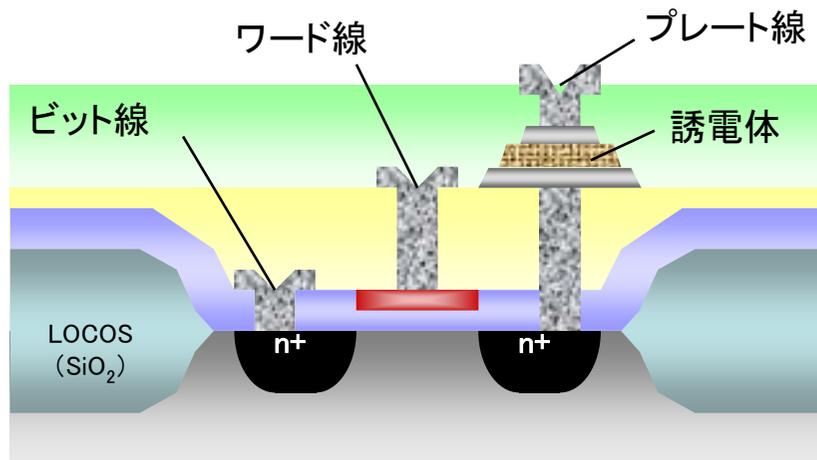


Capの3D化 & high-k化が必須

## ブレークスルー技術: 酸化物ナノ薄膜

### 比誘電率

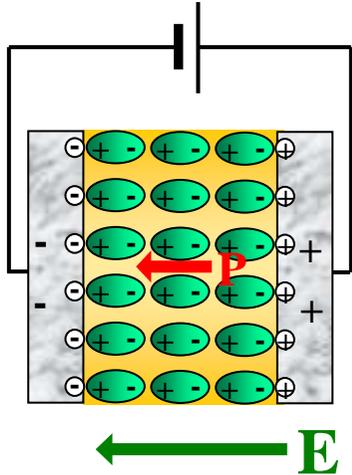
SiO <sub>2</sub>	3.9	Al <sub>2</sub> O <sub>3</sub>	9
Ta <sub>2</sub> O <sub>5</sub>	25	BST	200



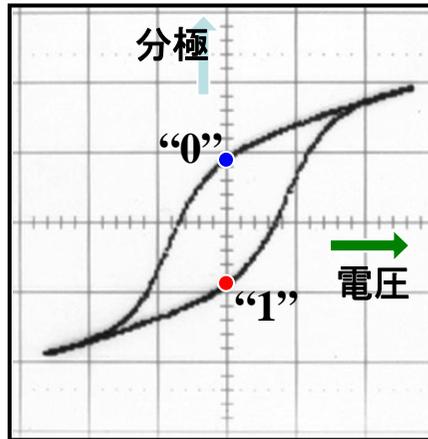
Infineon  
70nmDRAM  
(2004年発表)

# 酸化物薄膜応用-強誘電体メモリ-

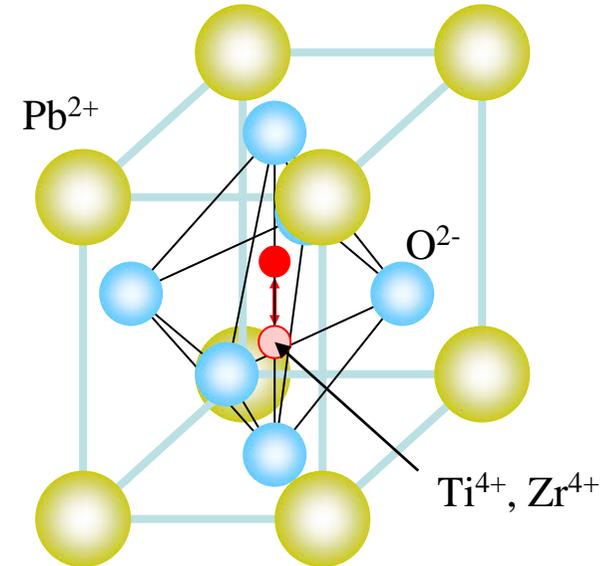
## 強誘電体とは？



自発分極の存在と  
その外部電圧による反転



印加電圧に対し、分極の変化が  
ヒステリシス特性を示す



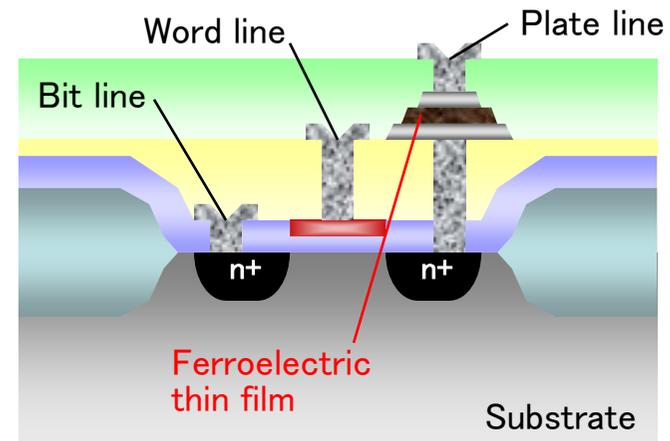
ペロブスカイト型酸化物強誘電体  
 $\text{Pb}(\text{Zr},\text{Ti})\text{O}_3$

印加電圧ゼロで、2つの安定した分極状態を取り得る。

この2つの分極状態をデジタル情報の“1”と“0”に対応させることで、**不揮発性メモリ**が実現できる。

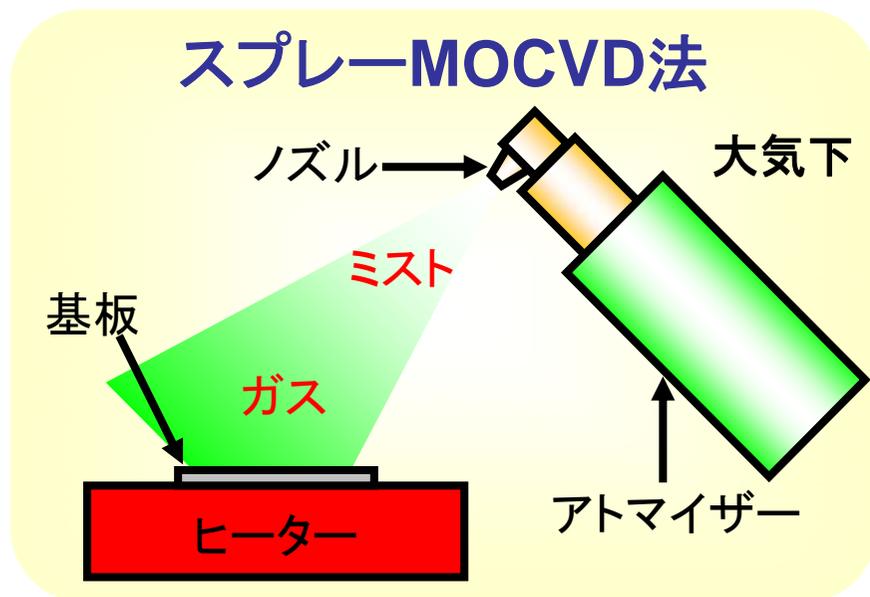
➡ **FeRAM**

不揮発性  
低消費電力  
高速動作



# 成膜方法のコスト低減のために -スプレーMOCVD法-

**真空装置不要!!**



## スプレーMOCVD法の特徴

- ・ 真空装置が不要(低い生産コスト)?
  - ・ 比較的低い堆積温度 (100-500°C)?
  - ・ 高品質薄膜作製が可能?
  - ・ 大面積均一性に優れる?
  - ・ 高い堆積レート?
- etc.

## スプレーMOCVD法の特徴

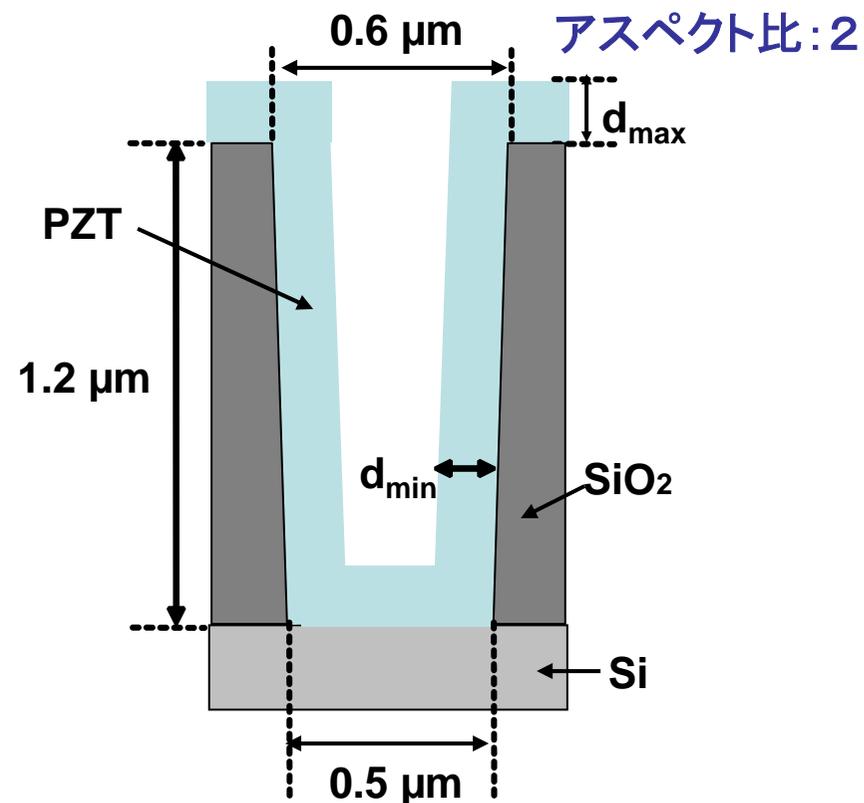
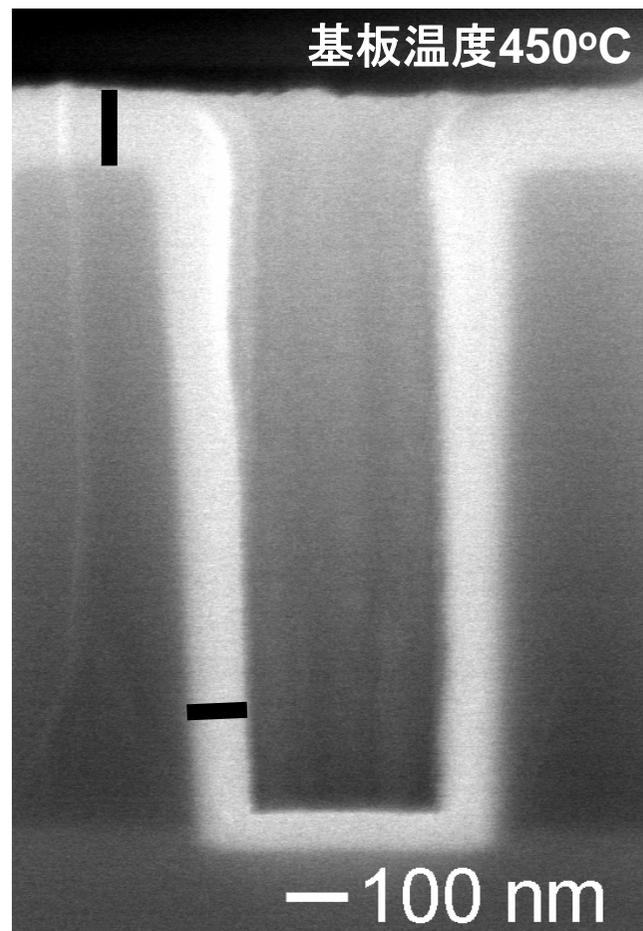
- ・ 安価な香水用アトマイザーを用いた簡便な装置構成
- ・ 原料間欠噴霧の導入

クラス1000クリーンルームドラフト内



アトマイザー サセプター & ホットプレート

# スプレーMOCVD法-段差被覆性(PZT)

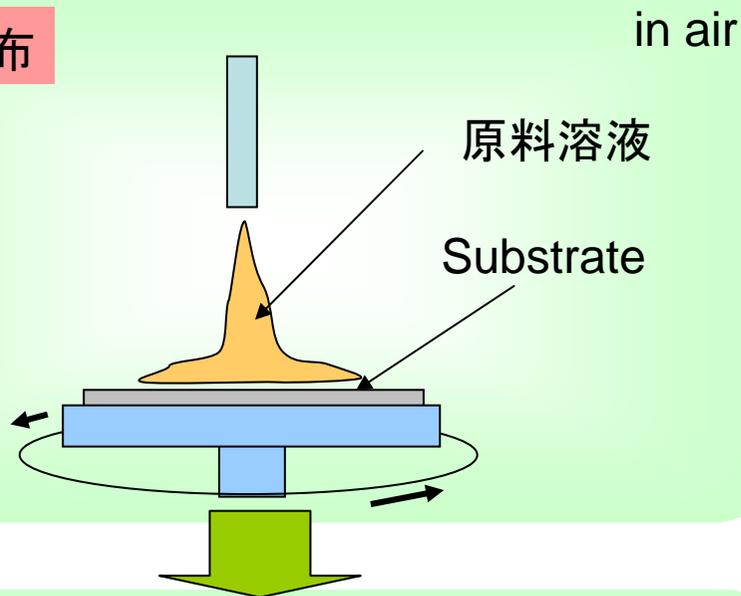


$$\text{段差被覆率 (\%)} = d_{min} / d_{max} \times 100$$

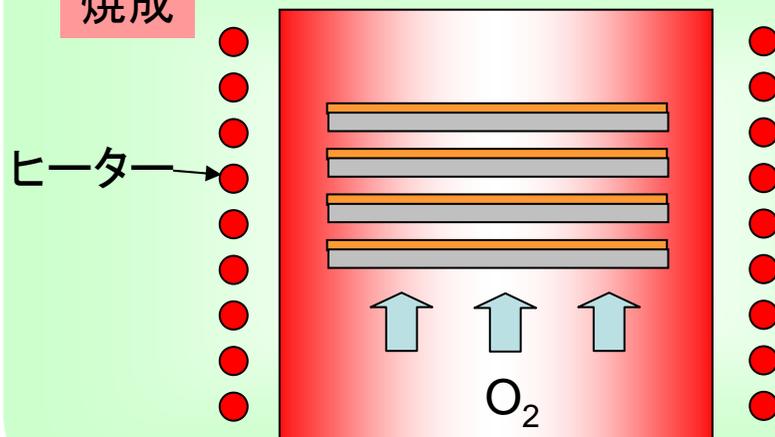
トレンチ構造Si基板上で良好な段差被覆性を実現  
段差被覆率: 約**75%**を達成 ⇨ 大容量FeRAM生産への適用可

# スピン・オン法 (CSD法)

原料塗布



焼成



原料溶液を塗布→焼成して成膜

- ・ゾル-ゲル溶液  
アルコキシドを部分加水分解  
& 重合したもの。  
 $ROM + H_2O \rightarrow 2ROH + 2MO$
- ・MOD溶液  
金属有機物を有機溶媒に  
溶かしたもの

長所

- ・Low Cost (ただし成膜時間長)
- ・成膜安定性、面内均一性良

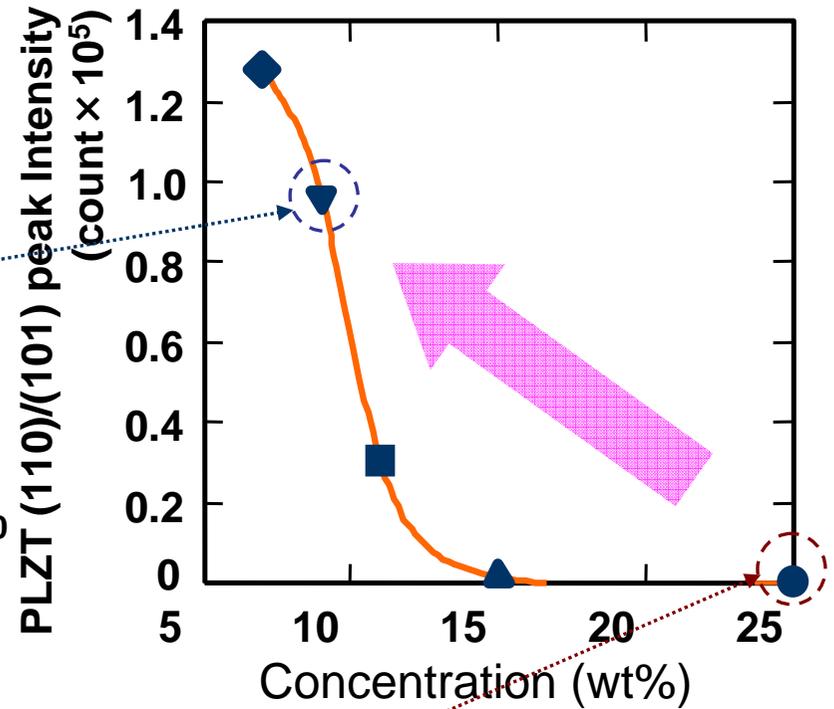
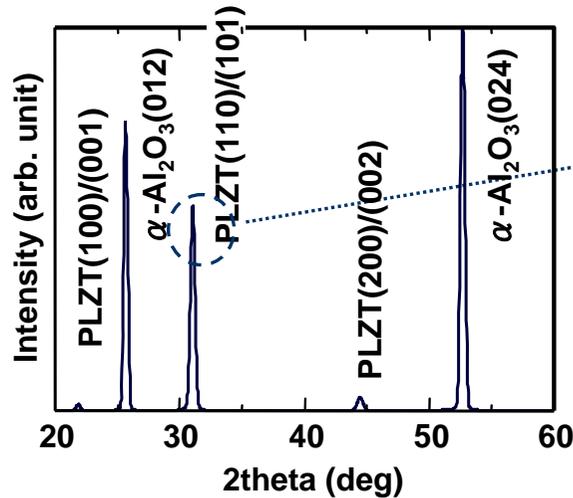
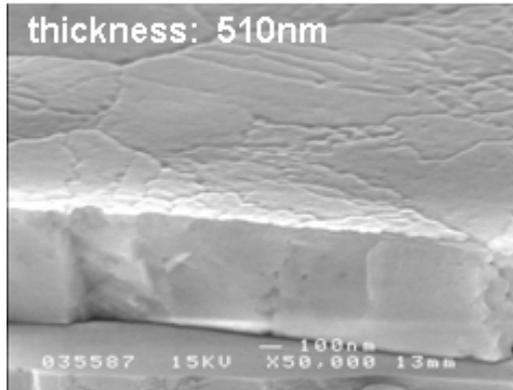
短所

- ・~~段差被覆性はNG~~
- ・~~結晶成長制御は難しい~~

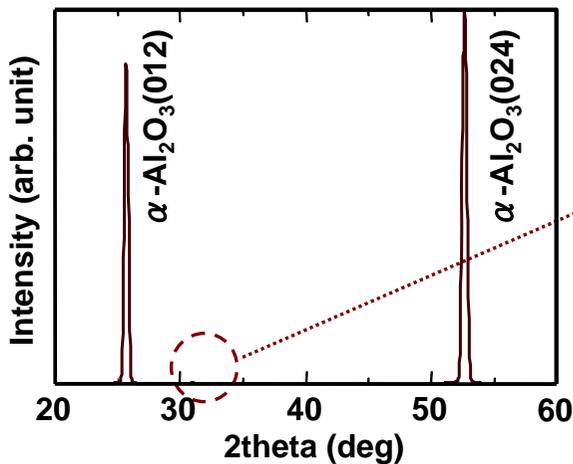
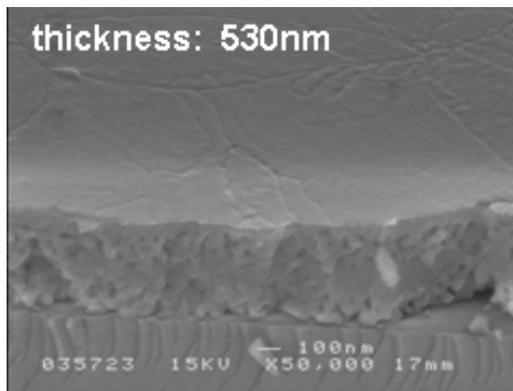
PLZTの高品位成膜に成功

# PLZTの成膜条件依存性(スピン・オン法)

**Solution: 9 wt%**



**Solution: 25 wt%**



$\alpha$ -Al<sub>2</sub>O<sub>3</sub> (R面) 基板上

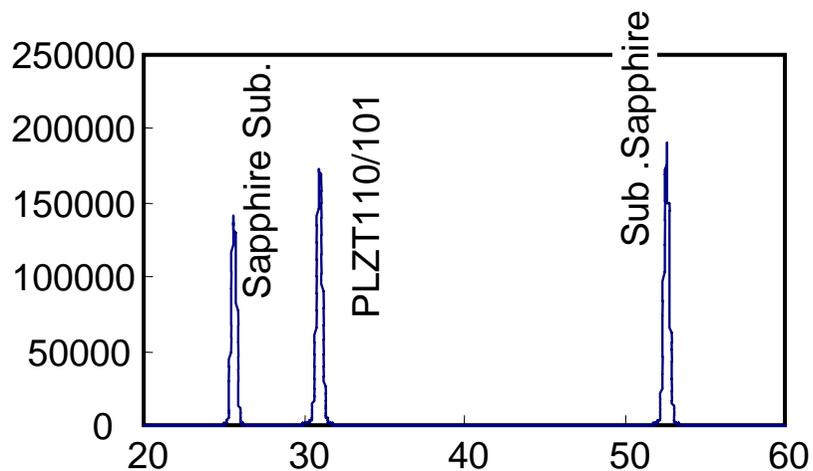
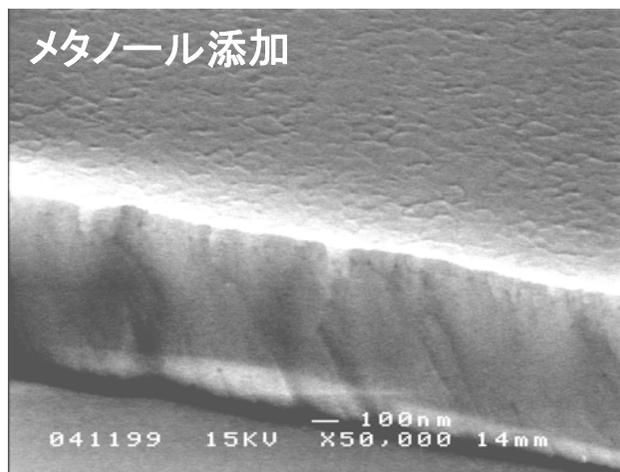
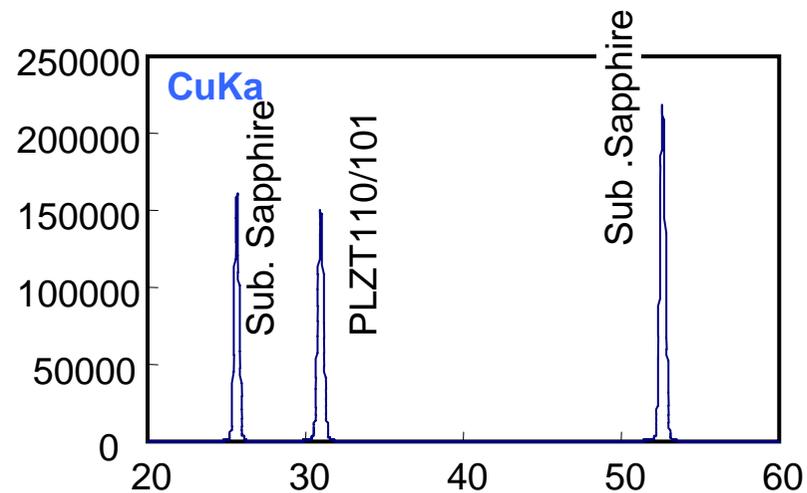
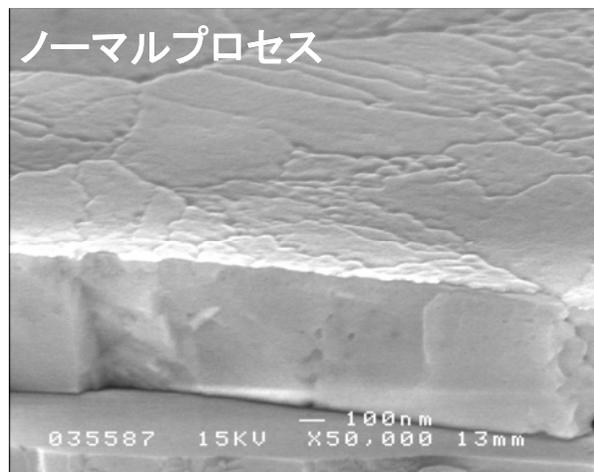
前駆体溶液の濃度



結晶配向性に大きく影響

# 原料へのメタノール添加効果

メタノール添加により結晶性がさらに向上

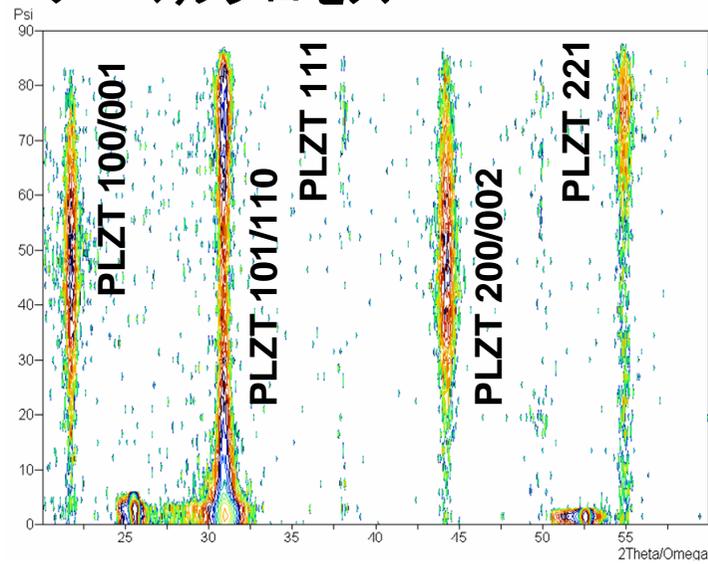


Solution : 9wt%  
Depo:6times : 500nm

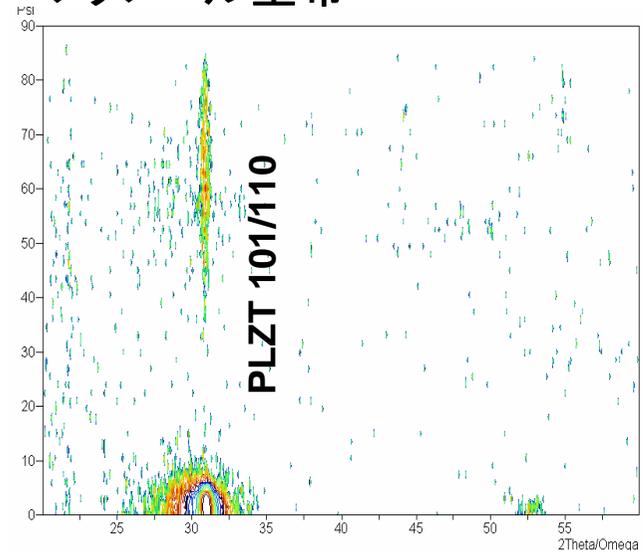
100nm

# 成膜したPLZTの結晶性

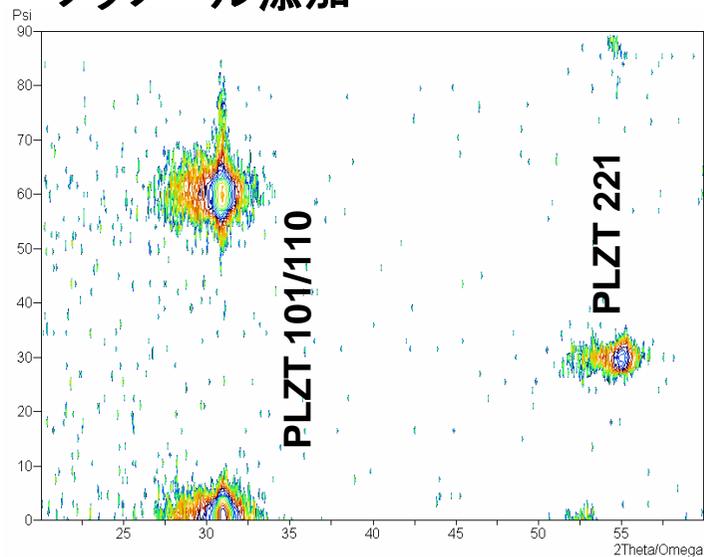
ノーマルプロセス



メタノール塗布



メタノール添加



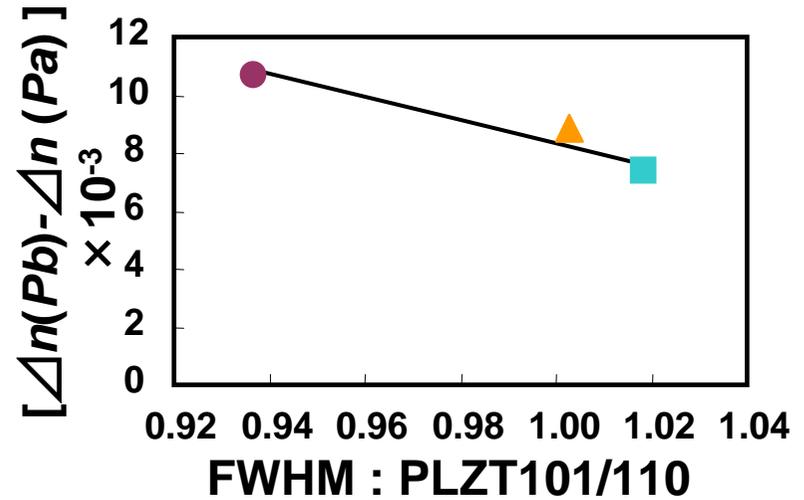
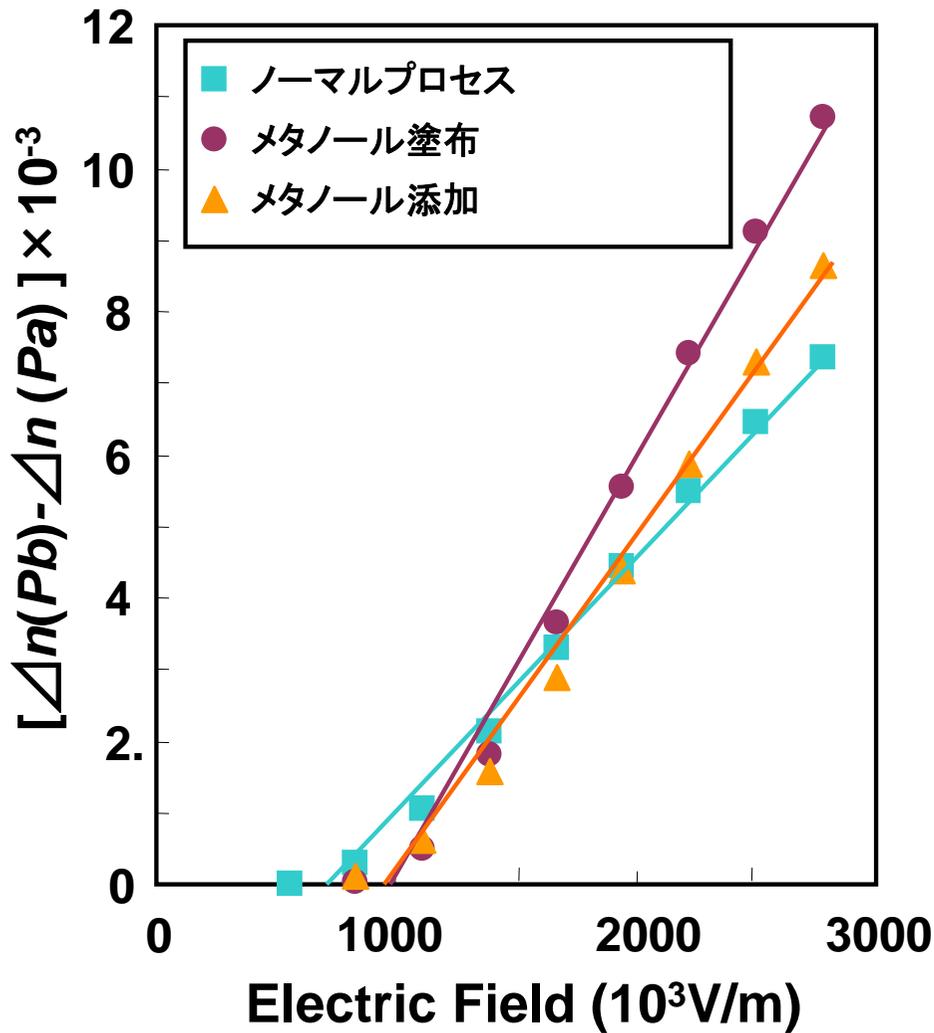
エピタキシャル成長

PLZT薄膜の形成に成功

(サファイアR面上)

# 電気光学効果

バルク並(従来の10倍)の電気光学効果を実現  
 →集積化光デバイスの実現に前進



結晶性向上で電気光学効果向上

- メタノール塗布  $r_c = \underline{\underline{8.48 \times 10^{-10} m/V}}$
- ▲ メタノール添加  $r_c = 6.68 \times 10^{-10} m/V$
- ノーマル  $r_c = 5.96 \times 10^{-10} m/V$